

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002033320 A

(43) Date of publication of application: 31.01.02

(51) Int. Cl

H01L 21/316

C23C 14/08

C23C 14/58

C23C 16/40

C23C 16/56

H01L 21/8238

H01L 21/8247

H01L 27/092

H01L 27/105

H01L 29/78

H01L 29/788

H01L 29/792

(21) Application number: 2001142471

(71) Applicant: SHARP CORP

(22) Date of filing: 11.05.01

(72) Inventor: YAN-JUN MA

(30) Priority: 06.07.00 US 2000 611356

YOSHI ONO

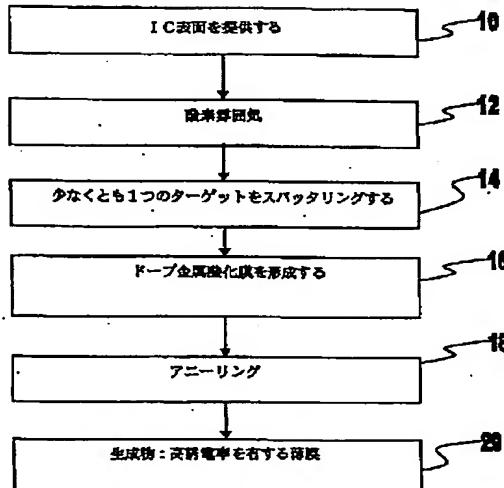
(54) DOPED ZIRCONIA OR ZIRCONIA-LIKE
DIELECTRIC FILM TRANSISTOR STRUCTURE,
AND METHOD OF DEPOSITING THE SAME

(57) Abstract

PROBLEM TO BE SOLVED: To provide a high-k dielectric material, having electron affinity whose electrical characteristics are controlled by further adding elements to an existing high-k dielectric material.

SOLUTION: This thin film has high dielectric constant with respect to silicon dioxide and is a high dielectric constant film formed by containing a) doping metal, b) metal selected from among a group consisting of zirconium(Zr) and hafnium(Hf) and c) oxygen.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33320

(P2002-33320A)

(43)公開日 平成14年1月31日 (2002.1.31)

(51)Int.Cl.
H 01 L 21/316

識別記号

F I
H 01 L 21/316

コード*(参考)

X 4 K 0 2 9

C 23 C 14/08
14/58
16/40

C 23 C 14/08
14/58
16/40

Y 4 K 0 3 0

K 5 F 0 4 8

A 5 F 0 5 8

5 F 0 8 3

審査請求 未請求 請求項の数41 O L (全 16 頁) 最終頁に統く

(21)出願番号 特願2001-142471(P2001-142471)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22)出願日 平成13年5月11日 (2001.5.11)

(72)発明者 ヤンジュン マー

アメリカ合衆国 ワシントン 98683,

パンクーパー, エスイー 24ティーエイ

チ ウエイ 18311

(72)発明者 ヨシ オノ

アメリカ合衆国 ワシントン 98607,

ケイマス, エヌダブリュー 24ティーエ

イチ サークル 2526

(74)代理人 100078282

弁理士 山本 秀策

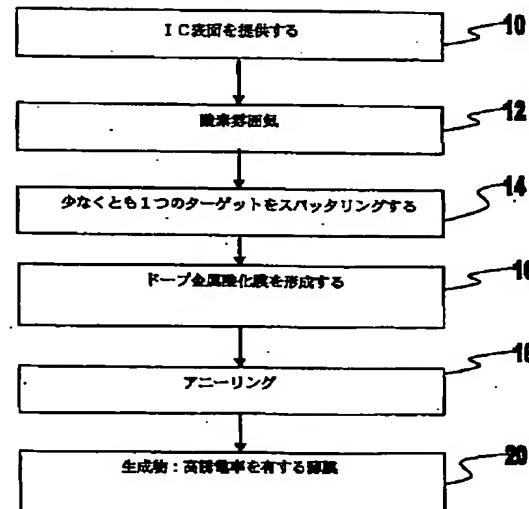
最終頁に統く

(54)【発明の名称】 ドープシリコニアまたはシリコニア様の誘電体膜トランジスタ構造およびその堆積方法

(57)【要約】

【課題】 さらなる元素を既存の h i g h - k 誘電体材料に加えることによって、電子親和力を含む h i g h - k 誘電体材料の電気的特性を制御した、 h i g h - k 誘電体材料を提供すること。

【解決手段】 二酸化シリコンに対して、高誘電率を有する薄膜であって、該薄膜が、 a) ドーピング金属と、 b) ジルコニウム (Zr) およびハフニウム (Hf) からなる群から選択される金属と、 c) 酸素とを含むことにより、高誘電体膜が形成される、薄膜。



【特許請求の範囲】

【請求項1】 二酸化シリコンに対して、高誘電率を有する薄膜であって、該薄膜が、
 a) ドーピング金属と、
 b) ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属と、
 c) 酸素と、
 を含むことにより、高誘電体膜が形成される、薄膜。

【請求項2】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属である、請求項1に記載の薄膜。

【請求項3】 前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属である、請求項1に記載の薄膜。

【請求項4】 前記薄膜が約20～200Åの範囲の膜厚を有する、請求項1に記載の薄膜。

【請求項5】 前記薄膜が約10～25の範囲の比誘電率を有する、請求項1に記載の薄膜。

【請求項6】 前記膜内のドーピング金属のバーセンテージが約50%を超過しない、請求項1に記載の薄膜。

【請求項7】 前記膜内のドーピング金属のバーセンテージが約25%である、請求項6に記載の薄膜。

【請求項8】 MOSFETトランジスタであって、
 a) ゲート電極と、
 b) 該ゲート電極の下側に上面を有するチャネル領域と、
 c) 該ゲート電極と該チャネル領域の上面との間に挿入されるゲート誘電体膜であって、二酸化シリコンに比べて高誘電率を有し、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属を含み、酸素を含み、さらにドーピング金属を含むゲート誘電体膜とを含む、MOSFETトランジスタ。

【請求項9】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属を含む、請求項8に記載のトランジスタ。

【請求項10】 前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属を含む、請求項8に記載のトランジスタ。

【請求項11】 前記膜内のドーピング金属のバーセンテージが約0～50%の範囲である、請求項8に記載のトランジスタ。

【請求項12】 前記膜内のドーピング金属のバーセンテージが約25%である、請求項11記載のトランジスタ。

【請求項13】 前記ゲート誘電体膜が約20～200Åの範囲の膜厚を有する、請求項8に記載のトランジスタ。

【請求項14】 前記ゲート誘電体膜が約10～25の範囲の比誘電率を有する、請求項8に記載のトランジスタ。

【請求項15】 トランジスタであって、前記チャネル領域と前記ゲート誘電体膜との間に挿入された、約2～5Åの範囲の膜厚を有する界面バリアをさらに含み、該界面バリアが、窒化シリコンおよび酸窒化シリコンからなる群から選択された材料を含むことにより、前記チャネル領域の上面が、より平滑になり、前記MOSFETの電子移動度を増す、請求項8に記載のトランジスタ。

【請求項16】 表面を有する集積回路(IC)の製造において、ドープ金属酸化膜を該IC表面上に形成する方法が、

- a) 酸素を含む雰囲気を確立する工程と、
- b) ZrおよびHfからなる群から選択される金属を含み、かつドーピング金属を含む少なくとも1つのターゲット金属を該ICシリコン表面上にスパッタリングする工程と、
- c) 該工程a)およびb)に応じて、該ドープ金属酸化膜を形成する工程と、

d) 約400～900°Cの範囲の温度でアニーリングすることにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を包含する、方法。

【請求項17】 前記IC表面がほぼ室温～400°Cの温度範囲で維持される、請求項16に記載の方法。

【請求項18】 前記工程a)がアルゴン(Argon)を含有する雰囲気を含み、O₂のArに対する比率が約5～25%の範囲であり、圧力が約1～10ミリトル(mTorr)の範囲である、請求項16に記載の方法。

【請求項19】 前記工程d)が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含する、請求項16に記載の方法。

【請求項20】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属である、請求項16に記載の方法。

【請求項21】 前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属である、請求項16に記載の方法。

【請求項22】 前記工程b)が、ZrおよびHfからなる群から選択される金属の第1のターゲット、ならびに三価金属を含む第2のターゲットを含む、別々のターゲットを同時スパッタリングする工程を包含する、請求項16に記載の方法。

【請求項23】 前記工程b)が、ZrおよびHfからなる群から選択される金属の第1のターゲット、ならびに二価金属を含む第2のターゲットを含む、別々のターゲットを同時スパッタリングする工程を包含する、請求項16に記載の方法。

【請求項24】 表面を有する集積回路(1C)の製造において、ドープ金属酸化膜を形成する方法が、

- a) ZrおよびHfからなる群から選択される金属ならびにドーピング金属を含む、少なくとも1つの前駆体を調製する工程と、
- b) 該少なくとも1つの前駆体を蒸発させる工程と、
- c) 酸素を含む雰囲気を確立する工程と、
- d) 該1C表面上で該前駆体を分解し、化学的気相成長法(CVD)で、ZrおよびHfからなる群から選択される金属、ドーピング金属および酸素を含む合金膜を堆積する工程と、

e) 約400～900°Cの範囲の温度でアニーリングすることにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を包含する、方法。

【請求項25】 前記工程d)の前に、約300～500°Cの範囲の1C表面温度を確立する工程をさらに包含する、請求項24に記載の方法。

【請求項26】 前記工程c)が、アルゴン(Ar)を含有する雰囲気を含み、O₂のArに対する比率が約5～25%の範囲であり、圧力が約1～10トル(Torr)の範囲である、請求項24に記載の方法。

【請求項27】 前記工程e)が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含する、請求項24に記載の方法。

【請求項28】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属である、請求項24に記載の方法。

【請求項29】 前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属である、請求項24に記載の方法。

【請求項30】 表面を有する集積回路(1C)の製造において、ドープ金属酸化膜を形成する方法が、

- a) ZrおよびHfからなる群から選択される金属を含む第1の前駆体を調製する工程と、
- b) 該第1の前駆体を蒸発させ、該1C表面を該前駆体に曝すことにより、該金属の層が該表面に化学的に吸着し、ALCVD法で、該金属の層を堆積する工程と、
- c) 酸素前駆体を調製する工程と、
- d) 該酸素前駆体を蒸発させ、該1C表面を該酸素前駆体に曝すことにより、酸素の層が該表面に化学的に吸着し、ALCVD法で、該酸素の層を堆積する工程と、
- e) ドーピング金属を含むドーピング金属前駆体を調製する工程と、
- f) 該ドーピング金属前駆体を蒸発させ、該1C表面を該ドーピング金属前駆体に曝すことにより、該ドーピング金属の層が該表面に化学的に吸着し、ALCVD法で、該ドーピング金属の層を堆積する工程と、
- g) 約300～900°Cの範囲の温度でアニーリングし

て、該堆積された層のコンディショニングを行うことにより、高誘電率および良好なバリア特性を有する薄膜が形成される、工程と、を包含する、方法。

【請求項31】 処理中に、約100～700°Cの範囲の1Cシリコン表面温度を確立する工程をさらに包含する、請求項30に記載の方法。

【請求項32】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属である、請求項30に記載の方法。

【請求項33】 前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属である、請求項30に記載の方法。

【請求項34】 前記第1の前駆体がZrCl₄である、請求項30に記載の方法。

【請求項35】 前記酸素前駆体がH₂Oである、請求項30に記載の方法。

【請求項36】 前記ドーピング金属前駆体が、A1Cl₃、A1(CH₃)₃、およびA1(acac)₃からなる群から選択される前駆体である、請求項30に記載の方法。

【請求項37】 シリコン表面を有する集積回路(1C)の製造において、ドープ金属酸化膜を形成する方法が、

a) ZrおよびHfからなる群から選択される金属ならびにドーピング金属を含む、少なくとも1つのるつぼを調製する工程と、

b) 真空雰囲気を確立する工程と、

c) 該少なくとも1つのるつぼを、約1000～2000°Cの範囲のるつぼ温度に加熱することにより、該工程a)で調製された金属を蒸発させる工程と、

d) 該工程a)～c)に応じて、該ZrおよびHfからなる群から選択される金属ならびに該ドーピング金属を含む合金膜を堆積する工程と、

e) 酸素を含む雰囲気で、約400～900°Cの範囲の温度でアニーリングし、該ZrおよびHfからなる群から選択される金属、該ドーピング金属ならびに酸素を含む合金膜を形成することにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を包含する方法。

【請求項38】 前記工程a)が、前記ZrおよびHfからなる群から選択される金属のための第1のるつぼ、ならびに前記ドーピング金属のための第2のるつぼを含み、前記工程c)が、該第1のるつぼを、約1000～2000°Cの範囲の温度に加熱し、該第2のるつぼを、約1000～2000°Cの範囲の温度に加熱する工程を包含する、請求項37に記載の方法。

【請求項39】 前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三

価金属である、請求項38に記載の方法。

【請求項40】前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属である、請求項38に記載の方法。

【請求項41】前記工程e)が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含する、請求項37に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に、集積回路(IC)製造プロセスに関し、さらに詳細には、高誘電率ゲート絶縁膜、およびそのような膜の堆積方法に関する。

【0002】

【従来の技術】現在のSi-VLSI技術は、MOSデバイスのゲート誘電体としてSiO₂、または窒素を含有するSiO_xを用いる。デバイスの寸法が縮小し続けるので、ゲートとチャネル領域間で同一のキャパシタンスを維持するためには、SiO₂層の厚さも減少させなければならない。将来的には、2ナノメートル(nm)未満の厚さが予想される。しかしながら、そのような薄いSiO₂の層を流れる高いトンネル電流の発生により、代替材料を考慮する必要がある。高誘電率を有する材料では、ゲート誘電体層を逆に厚くすることができる。トンネル電流の問題を改善できる。これらの、いわゆるhigh-k誘電体膜は、本明細書中において、二酸化シリコンに比べて高誘電率を有するものとして定義される。典型的には、二酸化シリコンは、約4の比誘電率を有するが、high-k誘電体膜は、約10を越える比誘電率を有する。現在のhigh-kの候補材料には、酸化チタン(TiO₂)、酸化ジルコニウム(ZrO₂)、酸化タンタル(Ta₂O₅)、およびバリウムストロンチウムチタン酸化物(Ba, Sr)TiO₃が含まれる。

【0003】

【発明が解決しようとする課題】上述のhigh-k誘電体に関する1つの一般的な問題は、high-k誘電体が、通常の成長条件下で結晶構造を発達させることである。結果として、膜の表面が非常に粗くなる。表面のラフネスにより、誘電体膜に隣接するチャネル領域に不均一な電界を生じる。このような膜は、MOSFETデバイスのゲート誘電体には適さない。

【0004】高い直流のトンネル電流のために、1.5nm未満のSiO₂膜は、CMOSデバイスのゲート誘電体としては使用できない。TiO₂、およびTa₂O₅をSiO₂の代用とするために、現在懸命に研究が行われており、これらの材料は最大の注目を集めている。しかしながら、高温の堆積後のアニーリング、および界面SiO₂層の形成が、1.5nm未満のSiO₂換算膜厚

(EOT)を達成することを非常に困難にする。

【0005】high-k誘電体膜を、MOSトランジスタのゲート電極とその下にあるチャネル領域間の絶縁バリアとして用いることが可能であれば有利である。

【0006】改善されたhigh-k誘電体材料を、単にドーピングするか、そうでなければ別のやり方で、さらなる元素を既存のhigh-k誘電体材料に加えることによって形成することが可能であれば有利である。

【0007】電子親和力を含む、high-k誘電体材

10 料の電気的特性が、単にドーピングするか、そうでなければ別のやり方で、さらなる元素を既存のhigh-k誘電体材料に加えることによって改変することが可能であれば有利である。

【0008】

【課題を解決するための手段】本発明による、二酸化シリコンに対して、高誘電率を有する薄膜は、a)ドーピング金属と、b)ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属と、c)酸素とを含むことにより、上記目的が達成される。

20 【0009】前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属であってもよい。

【0010】前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属であってもよい。

【0011】前記薄膜が約20~200Åの範囲の膜厚を有してもよい。

30 【0012】前記薄膜が約10~25の範囲の比誘電率を有してもよい。

【0013】前記膜内のドーピング金属のパーセンテージが約50%を超過しなくてもよい。

【0014】前記膜内のドーピング金属のパーセンテージが約25%であってもよい。

40 【0015】本発明による、MOSFETトランジスタは、a)ゲート電極と、b)該ゲート電極の下側に上面を有するチャネル領域と、c)該ゲート電極と該チャネル領域の上面との間に挿入されるゲート誘電体膜であって、二酸化シリコンに比べて高誘電率を有し、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属を含み、酸素を含み、さらにドーピング金属を含むゲート誘電体膜とを含み、それにより上記目的が達成される。

【0016】前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属を含んでもよい。

50 【0017】前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属を含んでもよい。

【0018】前記膜内のドーピング金属のバーセンテージが約0～50%の範囲であってもよい。

【0019】前記膜内のドーピング金属のバーセンテージが約25%であってもよい。

【0020】前記ゲート誘電体膜が約20～200Åの範囲の膜厚を有してもよい。

【0021】前記ゲート誘電体膜が約10～25の範囲の比誘電率を有してもよい。

【0022】前記トランジスタが、前記チャネル領域と前記ゲート誘電体膜との間に挿入された、約2～5Åの範囲の膜厚を有する界面バリアをさらに含み、該界面バリアが、窒化シリコンおよび酸窒化シリコンからなる群から選択された材料を含むことにより、前記チャネル領域の上面が、より平滑になり、前記MOSFETの電子移動度を増してもよい。

【0023】本発明による、表面を有する集積回路（IC）の製造において、ドープ金属酸化膜を該IC表面上に形成する方法は、a) 酸素を含む雰囲気を確立する工程と、b) ZrおよびHfからなる群から選択される金属を含み、かつドーピング金属を含む少なくとも1つのターゲット金属を該ICシリコン表面上にスパッタリングする工程と、c) 該工程a) およびb) に応じて、該ドープ金属酸化膜を形成する工程と、d) 約400～900°Cの範囲の温度でアニーリングすることにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を包含し、それにより上記目的が達成される。

【0024】前記IC表面がほぼ室温～400°Cの温度範囲で維持されてもよい。

【0025】前記工程a) がアルゴン（Ar）を含有する雰囲気を含み、O₂のArに対する比率が約5～25%の範囲であり、圧力が約1～10ミリトル（mTor）の範囲であってもよい。

【0026】前記工程d) が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含してもよい。

【0027】前記ドーピング金属が、アルミニウム（Al）、スカンジウム（Sc）、ランタン（La）、およびイットリウム（Y）からなる群から選択される三価金属であってもよい。

【0028】前記ドーピング金属が、カルシウム（Ca）およびストロンチウム（Sr）からなる群から選択される二価金属であってもよい。

【0029】前記工程b) が、ZrおよびHfからなる群から選択される金属の第1のターゲット、ならびに三価金属を含む第2のターゲットを含む、別々のターゲットを同時スパッタリングする工程を包含してもよい。

【0030】前記工程b) が、ZrおよびHfからなる群から選択される金属の第1のターゲット、ならびに二

価金属を含む第2のターゲットを含む、別々のターゲットを同時スパッタリングする工程を包含してもよい。

【0031】本発明による、表面を有する集積回路（IC）の製造において、ドープ金属酸化膜を形成する方法は、a) ZrおよびHfからなる群から選択される金属ならびにドーピング金属を含む、少なくとも1つの前駆体を調製する工程と、b) 該少なくとも1つの前駆体を蒸発させる工程と、c) 酸素を含む雰囲気を確立する工程と、d) 該IC表面上で該前駆体を分解し、化学的気相成長法（CVD）で、ZrおよびHfからなる群から選択される金属、ドーピング金属および酸素を含む合金膜を堆積する工程と、e) 約400～900°Cの範囲の温度でアニーリングすることにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程とを包含し、これにより上記目的を達成する。

【0032】前記工程d) の前に、約300～500°Cの範囲のIC表面温度を確立する工程をさらに包含してもよい。

【0033】前記工程c) が、アルゴン（Ar）を含有する雰囲気を含み、O₂のArに対する比率が約5～25%の範囲であり、圧力が約1～10トル（Tor）の範囲であってもよい。

【0034】前記工程e) が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含してもよい。

【0035】前記ドーピング金属が、アルミニウム（Al）、スカンジウム（Sc）、ランタン（La）、およびイットリウム（Y）からなる群から選択される三価金属であってもよい。

【0036】前記ドーピング金属が、カルシウム（Ca）およびストロンチウム（Sr）からなる群から選択される二価金属であってもよい。

【0037】本発明による、表面を有する集積回路（IC）の製造において、ドープ金属酸化膜を形成する方法は、a) ZrおよびHfからなる群から選択される金属を含む第1の前駆体を調製する工程と、b) 該第1の前駆体を蒸発させ、該IC表面を該前駆体に曝すことにより、該金属の層が該表面に化学的に吸着し、ALCVD法で、該金属の層を堆積する工程と、c) 酸素前駆体を調製する工程と、d) 該酸素前駆体を蒸発させ、該IC表面を該酸素前駆体に曝すことにより、酸素の層が該表面に化学的に吸着し、ALCVD法で、該酸素の層を堆積する工程と、e) ドーピング金属を含むドーピング金属前駆体を調製する工程と、f) 該ドーピング金属前駆体を蒸発させ、該IC表面を該ドーピング金属前駆体に曝すことにより、該ドーピング金属の層が該表面に化学的に吸着し、ALCVD法で、該ドーピング金属の層を堆積する工程と、g) 約300～900°Cの範囲の温度でアニーリングして、該堆積された層のコンディショニ

ングを行うことにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程とを包含し、これにより上記目的を達成する。

【0038】処理中に、約100～700°Cの範囲のICシリコン表面温度を確立する工程をさらに包含してもよい。

【0039】前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属であってもよい。

【0040】前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属であってもよい。

【0041】前記第1の前駆体がZrCl₄であってもよい。

【0042】前記酸素前駆体がH₂Oであってもよい。

【0043】前記ドーピング金属前駆体が、AlC₁、Al(CH₃)₃、およびAl(acac)₃からなる群から選択される前駆体であってもよい。

【0044】本発明による、シリコン表面を有する集積回路(IC)の製造において、ドープ金属酸化膜を形成する方法は、a) ZrおよびHfからなる群から選択される金属ならびにドーピング金属を含む、少なくとも1つのるつぼを調製する工程と、b) 真空雰囲気を確立する工程と、c) 該少なくとも1つのるつぼを、約1000～2000°Cの範囲のるつぼ温度に加熱することにより、該工程a)で調製された金属を蒸発させる工程と、d) 該工程a)～c)に応じて、該ZrおよびHfからなる群から選択される金属ならびに該ドーピング金属を含む合金膜を堆積する工程と、e) 酸素を含む雰囲気で、約400～900°Cの範囲の温度でアーリングし、該ZrおよびHfからなる群から選択される金属、該ドーピング金属ならびに酸素を含む合金膜を形成することにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程とを包含し、これにより上記目的を達成する。

【0045】前記工程a)が、前記ZrおよびHfからなる群から選択される金属のための第1のるつぼ、ならびに前記ドーピング金属のための第2のるつぼを含み、前記工程c)が、該第1のるつぼを、約1000～2000°Cの範囲の温度に加熱し、該第2のるつぼを、約1000～2000°Cの範囲の温度に加熱する工程を包含してもよい。

【0046】前記ドーピング金属が、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、およびイットリウム(Y)からなる群から選択される三価金属であってもよい。

【0047】前記ドーピング金属が、カルシウム(Ca)およびストロンチウム(Sr)からなる群から選択される二価金属であってもよい。

【0048】前記工程e)が、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を包含してもよい。

【0049】従って、高誘電率(10～25)を有する薄膜が提供される。膜は、ドーピング金属、ジルコニア(Zr)およびハフニウム(Hf)からなる群から選択される金属、ならびに酸素を含む。ドーピング金属は、好ましくは、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、またはイットリウム(Y)等の三価金属、もしくはカルシウム(Ca)またはストロンチウム(Sr)等の二価金属である。

【0050】ドーピング金属を選択することによって、堆積された誘電体材料の電子親和力を変更することが可能である。電子親和力を変更することによって、電子のバリアハイド、および正孔のバリアハイドを変更することが可能である。従って、本発明により、誘電体膜の電子親和力を改変することが可能である一方で、二酸化シリコンと比べて、高誘電率を有する膜を生成する。また、ドーピング金属の存在により、結晶構造の形成が低減またはなくなるので、ドーピング金属の存在により、アモルファス誘電体材料が生成される傾向にある。

【0051】本発明は、一部において、Y₂O₃、CaO₂、Al₂O₃、La₂O₃、LaおよびSrによって安定化されるジルコニア(ZrO₂)を提供する。別の実施形態において、SrZrO₃が誘電体材料として提供される。

【0052】典型的には、膜内のドーピング金属のバーセンテージが約50%を超過しない。用途によっては、ドーピング金属のバーセンテージが約10%未満であり、この場合、生成された膜はアモルファスではあり得ない。

【0053】MOSFETトランジスタも提供される。このトランジスタは、ゲート電極、上記ゲート電極の下側に上面を有するチャネル領域、およびゲート電極とチャネル領域の上面との間に挿入されたゲート誘電体膜を含む。誘電体膜の含有成分は、上述のとおりである。典型的には、ゲート誘電体膜は、約20～200Åの範囲の膜厚を有する。

【0054】本発明のいくつかの局面では、チャネル領域とゲート誘電体膜との間に挿入された、約2～5Åの範囲の膜厚を備えた界面バリアを有するトランジスタをさらに含む。界面材料が、窒化シリコン、および酸窒化シリコンからなる群から選択されることにより、上記チャネル領域の上面が、より平滑になり、MOSFETの電子移動度の低下を防ぐ。

【0055】表面を有する集積回路(IC)の製造において、ドープ金属酸化膜をIC表面上に形成するスパッタリング方法も提供される。この方法は、

a) 酸素を含む雰囲気を確立する工程と、

- b) 上記 I Cシリコン表面上に Zr および Hf からなる群から選択される金属、ならびに Ca、Sr、Al、Sc、La または Y 等のドーピング金属を含む、少なくとも 1 つのターゲット金属をスパッタリングする工程と、
- c) 上記工程 a) および b) に応じて、上記ドープ金属酸化膜を形成する工程と、
- d) 約 400 ～ 900 °C の範囲の温度でアニーリングすることにより、高誘電率および良好な絶縁特性を有する薄膜が形成される工程と、を含む。

【0056】本発明のいくつかの局面において、上記工程 a) が、Zr および Hf からなる群から選択される金属の第 1 のターゲット、ならびに上記ドーピング金属の第 2 のターゲットを含む、別々のターゲットを、酸化雰囲気下で同時スパッタリングする工程を含む。

【0057】あるいは、上記ドープ金属酸化膜を堆積する化学的気相成長法 (CVD) が提供される。この方法は、

- a) Zr および Hf からなる群から選択される金属ならびにドーピング金属を含む、少なくとも 1 つの前駆体を調製する工程と、
- b) 上記前駆体を蒸発させる工程と、
- c) 酸素を含む雰囲気を確立する工程と、
- d) 上記 I C 表面上で上記前駆体を分解し、化学的気相成長法 (CVD) で、Zr および Hf からなる群から選択される金属、ドーピング金属および酸素を含む合金膜を堆積する工程と、
- e) 約 400 ～ 900 °C の範囲の温度でアニーリングすることにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を含む。

【0058】別の代替的な実施形態において、原子層堆積法 (ALD) としても公知の原子層化学的気相成長法 (ALCVD) が、ドープ金属酸化膜を堆積する方法として用いられる。この ALCVD 法は、

- a) Zr および Hf からなる群から選択される金属を含む第 1 の前駆体を調製する工程と、
- b) 上記第 1 の前駆体を蒸発させ、上記 I C 表面を上記前駆体に曝すことにより、上記金属の層、好ましくは、単分子層が上記表面に化学的に吸着し、ALCVD 法で、上記金属の層を堆積する工程と、
- c) 酸素前駆体を調製する工程と、
- d) 上記酸素前駆体を蒸発させ、上記 I C 表面を上記酸素前駆体に曝すことにより、上記酸素の層、好ましくは単分子層が上記表面に化学的に吸着し、ALCVD 法で、上記酸素の層を堆積する工程と、
- e) ドーピング金属を含むドーピング金属前駆体を調製する工程と、
- f) 上記ドーピング金属前駆体を蒸発させ、上記 I C 表面を上記ドーピング金属前駆体に曝すことにより、上記ドーピング金属の層が上記表面に化学的に吸着し、ALCVD 法で、上記ドーピング金属の層を堆積する工程

と、

g) 約 300 ～ 900 °C の範囲の温度でアニーリングして、上記堆積された層のコンディショニングを行うことにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を含む。

【0059】必要に応じて上記工程を繰り返すことによって、誘電体内の各材料の複数の層が堆積され得、他の成分元素の 1 以上の層がその後に続いて堆積され得る。例えば、いくつかのジルコニウムの層が堆積され得、その後に、酸素、次いでドーピング金属が続いて堆積され得る。この処理は、次いで、酸化ジルコニウム誘電体材料内に所望量のドーピング金属を有する誘電体材料の全体の膜厚が堆積されるまで繰り返される。

【0060】さらに別の代替の実施形態において、上記ドープ金属酸化膜を堆積する蒸着法が提供される。この方法は、

- a) 約 1×10^{-6} ～ 1×10^{-7} Torr の範囲で、高真空 (ガスフリー) 雰囲気を確立する工程と、
- b) Zr および Hf からなる群から選択される金属、ならびにドーピング金属を含む少なくとも 1 つのるつぼを調製する工程と、
- c) 上記少なくとも 1 つのるつぼを、約 1000 ～ 2000 °C の範囲の温度で加熱することにより、上記工程 b) で調製された金属を蒸発させる工程と、
- d) 上記工程 a) ～ c) に応じて、上記 Zr および Hf からなる群から選択される金属、ならびにドーピング金属を含む合金膜を堆積する工程と、
- e) 酸素を含む雰囲気で、約 400 ～ 900 °C の範囲の温度でアニーリングし、酸素を含む合金膜を形成することにより、高誘電率および良好なバリア特性を有する薄膜が形成される工程と、を含む。

【0061】

【発明の実施の形態】本願は、1999年7月19日に出願の米国特許出願番号 09/356,470、特許番号第 6,060,755 号の分割出願である、2000 年 2 月 29 に出願の米国特許出願番号 09/515,743 の一部継続出願を優先権の基礎とする。

【0062】本発明は、ドープ酸化ジルコニウムについて研究する。優れた性質を有する Zr-O ゲート誘電体を備えた、1 ミクロン未満の PMOSFET が製造されてきた。要約すると、二価または三価のドーピング金属で ZrO_x 膜をドーピングすることにより、膜の電気的性質、特に電子親和力を制御することができる。

【0063】本発明は、二酸化シリコンに対して、高誘電率を有する、二価または三価のドーピング金属、ジルコニウム (Zr) およびハフニウム (Hf) からなる群から選択される金属、ならびに酸素を含む薄膜である。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金属、もしくはカルシウム

ム (Ca) またはストロンチウム (Sr) 等の二価金属である。

【0064】いくつかの有用な用途では、薄膜は、典型的には、約20~200Åの範囲の膜厚を有し、比誘電率は約10~25の範囲である。

【0065】膜内のドーピング金属のパーセンテージは、典型的には、約50%を超過しない。

【0066】図1は、本発明のドープ金属酸化膜に対するスパッタリング堆積法を示すフローチャートである。工程10は、表面を有する集積回路 (IC) を提供する。工程12は、酸素を含む雰囲気を確立する。典型的には、工程12は、アルゴン (Ar) も包含する雰囲気を含み、O₂のArに対する比率は約5~25%の範囲である。圧力は、約1~10ミリトル (mTorr) の範囲である。工程14は、IC表面上にZrおよびHfからなる群から選択される金属を含む、少なくとも1つのターゲット金属をスパッタリングする。工程14はまた、IC表面上にドーピング金属をスパッタリングする。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金属、もしくはカルシウム (Ca) またはストロンチウム (Sr) 等の二価金属である。本発明のいくつかの局面において、工程14は、ZrおよびHfからなる群から選択される金属の第1のターゲット、ならびにドーピング金属を含む第2のターゲットを含む、別々のターゲットを同時スパッタリングする工程を含む。

【0067】工程16は、工程12および14に応じて、ドープ金属酸化膜を形成する。工程18は、約400~900°Cの範囲の温度でアニーリングする。アニーリング時間は、アニーリング温度に応じて、約10秒~30分の範囲で変動する。工程18は、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし (ガスフリー環境)、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を含む。工程20は、生成物であり、ここで、高誘電率および良好な絶縁特性を有する薄膜が形成される。

【0068】本発明のいくつかの局面において、工程10は、シリコンIC表面を提供し、工程16の前にさらなる工程がある。工程14a (図示せず) が、ほぼ室温~400°Cの範囲のICシリコン表面温度を確立する。

【0069】Zr-Al-OおよびHf-Al-O膜は、上述のとおり、同時スパッタリングによって成長される。スパッタリング出力比が、酸化ジルコニウム内のAl濃度の量を変更するために調節される。

【0070】本発明の誘電体膜は、ゲート誘電体、格納キャバシタ、およびその他の用途 (例えば、1トランジスタ (1T) 強誘電体メモリ) に適用できる。本発明の方法に従って生成された誘電体膜は、high-k誘電体材料が用いられる用途に広く適用され得る。

【0071】図2および3は、本発明のドープ金属酸化膜を用いてMOSFETトランジスタを完成する工程を示す。図2は、上面54を備えたチャネル領域52を有するトランジスタ50を示す。チャネル領域52の上には、ゲート誘電体膜56がある。

【0072】本発明のいくつかの局面において、トランジスタ50は、チャネル領域52とゲート誘電体膜56との間に挿入された、約2~5Åの範囲の膜厚64を有する界面バリア62をさらに含む。界面バリア62は、

10 窒化シリコンおよび酸窒化シリコンからなる群から選択された材料からなるので、チャネル領域の上面54が、より平滑になり、MOSFET50の電子移動度を増す。

【0073】図3は、ゲート電極58とチャネル領域の上面54との間に挿入された、ゲート誘電体膜56を示す。ゲート誘電体膜56は、二酸化シリコンに比べて高誘電率を有し、ジルコニウム (Zr) およびハフニウム (Hf) からなる群から選択される金属、ならびに酸素を含む。ゲート誘電体膜56は、ドーピング金属を含む。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金属、もしくはカルシウム (Ca) またはストロンチウム (Sr) 等の二価金属である。膜56内のドーピング金属のパーセンテージは、約0~50%の範囲である。好ましくは、膜56内のAlのパーセンテージは、約25%である。ゲート誘電体膜56は、約20~200Åの範囲の膜厚60 (図3) を有する。ゲート誘電体膜56は、約10~25の範囲の比誘電率を有する。

30 【0074】パルクCMOSデバイスの用途でのゲート誘電体の場合、ウェハが、任意の最高水準の従来技術を用いて分離等の処理をされ、引き続いでPウェルおよびNウェルが形成されて、チャネル領域が露出する。酸化バリアの超薄層が、なおも必要とされ得る。この場合、可能なバリアは、窒化シリコンおよび酸窒化シリコンを含む。次に、high-k誘電体が堆積される。いくつかの膜の成長方法が存在する:

A. 不活性または酸化雰囲気でのZrおよびドーピング金属の同時スパッタリング、
40 B. 不活性または酸化雰囲気でのZr-A1等の化合物ターゲットの同時スパッタリング、

C. Zr-A1-OおよびHf-A1-Oの化学的気相成長法、または
D. 蒸着

堆積に続いて、膜が、不活性 (例えば、Ar、N₂、H₂ガス) よりも/または酸化 (O₂、H₂O、N₂O、NO よりもガスなし (ガスフリー)) 雰囲気で、高温 (400~900°C) でアニーリングされ、high-k膜およびhigh-k/Si界面のコンディショニングを行う。しかしながら、膜が蒸着によって堆積される場合、

合金膜内に酸素を含ませるために、アニーリング処理は、典型的に、酸素を含む。

【0075】アニーリングに続いて、ゲートが堆積され、バーニングされてゲートスタックになる。ゲート材料は、金属またはポリシリコンであり得る。次いで、任意の最高水準のデバイス製造プロセスを用いて、デバイスが、従来技術による方法、もしくは窒化物、ポリシリコン、またはポリSiGeダミーゲートを用いるゲート置き換え法によって完成される。

【0076】図4は、本発明のドープ金属酸化膜を形成するCVD法の工程を示すフローチャートである。工程100は、表面を有する集積回路(IC)を提供する。工程102は、ZrおよびHfからなる群から選択される金属ならびにドーピング金属を含む、少なくとも1つの前駆体を調製する。工程102は、ドーピング金属を含む。ドーピング金属は、好ましくは、アルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、またはイットリウム(Y)等の三価金属、もしくはカルシウム(Ca)またはストロンチウム(Sr)等の二価金属である。本発明のいくつかの局面において、工程102は、ZrおよびHfからなる群から選択される金属を含む第1の前駆体、ならびにドーピング金属を含む第2の前駆体を包含する。工程104は、少なくとも1つの前駆体を蒸着する。工程106は、酸素を含む雰囲気を確立する。典型的に、工程106は、アルゴン(Ar)を含有する雰囲気を含み、O₂のArに対する比率は約5～25%の範囲で、圧力は約1～10Tの範囲である。工程108は、IC表面上で前駆体を分解し、化学的気相成長法(CVD)で、ZrおよびHfからなる群から選択される金属、ドーピング金属ならびに酸素を含む合金膜を堆積する。

【0077】工程110は、約400～800°Cの範囲の温度でアニーリングする。工程110は、Ar、N₂、H₂ガス、O₂、H₂O、N₂O、NO、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を含む。工程112は、生成物であり、ここで、高誘電率および良好なバリア特性を有する薄膜が形成される。

【0078】本発明のいくつかの局面において、工程100は、シリコンIC表面を提供し、工程108の前にさらなる工程がある。工程106aが、約300～500°Cの範囲のICシリコン表面温度を確立する。

【0079】本発明の別の実施形態において、原子層化学的気相成長法(ALCVD)が、ドープ金属酸化物誘電体層を形成するために用いられる。ALCVD法は、化学吸着として公知の化学現象を用いる。化学吸着において、気相内の材料が、表面に吸着して、飽和し、単分子層を形成する。大半の従来の堆積技術は、表面カバレッジが単純に統計的である多層堆積領域を生成する、物理吸着処理を用いる。化学吸着を利用することによっ

て、膜厚および組成が極めて均一である膜を、成長させることができるのである。例えば、伝えられるところでは、酸化ジルコニウム膜が、このようにして、塩化ジルコニウム(ZrCl₄)を用いて第1の単分子層を形成し、ZrCl₄の系をバージし、次いで、表面を水蒸気(H₂O)に曝すことによって、シリコン上に成長させられてきた。酸化ジルコニウム層を生成するための他の前駆体は、ジルコニウムプロポキシド(Zr(iOPr)₄)およびジルコニウムテトラメチルヘプタンジオネート(Zr(tmd)₄)を含む。化学吸着は、所与の気体-固体の組み合わせに関する非常に限られた範囲の温度および圧力で起こる。典型的に、温度は、1～1000mTorの圧力で、100～700°Cの間である。例えば、酸化ジルコニウムは、伝えられるところによれば、ZrCl₄およびH₂Oを用いて、300°Cの温度でシリコン基板上に堆積されてきた。この処理で単分子層が生成されると、さらなる単分子層を加えることによって、より厚い酸化ジルコニウム層が生成される。ドーピング前駆体が、ドーピング金属の層を堆積するために用いられる。ALCVD法は、通常、パルスCVD法とも呼ばれる。これは、その方法体系が、典型的に、堆積される材料の量を制御するために、前駆体材料のパルスに依存するからである。典型的に、このパルスは、IC表面を被覆するために十分な材料を含む。本方法の別の実施形態において、ドーピング前駆体のパルスが導入されるが、これは、IC表面全体に単分子層を形成するために必要とされるパルスよりも少ない。選択された前駆体と共に化学吸着を利用するためには、全般的な処理が、過度の実験を必要とせずに、最適化される必要がある。30この堆積方式の重要な局面は、次の成分の導入の前の1つの成分からの十分なバージング、ならびに温度および圧力を制御する能力である。原子層堆積により、10Å未満の膜厚の層、好ましくは、2～5Åの間の膜厚の層を生成することが可能になる。半導体基板へのそのような超薄原子層の堆積を調製するための有効な道具は、実験的な堆積においては、原子層堆積が実行可能であることが示されているが、現在存在しない。

【0080】図5は、ドープ金属酸化膜を形成するALCVD法の工程を示すフローチャートである。

40【0081】工程150は、表面を有する集積回路(IC)を提供する。好適な実施形態において、表面上にもともと存在する表面酸化物が取り除かれて、シリコン表面が露出される。

【0082】工程152は、ZrおよびHfからなる群から選択される金属を含む少なくとも1つの前駆体を調製し、その少なくとも1つの前駆体を蒸発させ、IC表面をその少なくとも1つの前駆体に曝す。前駆体は、ALCVDチャンバ内のIC表面上に材料の単分子層を堆積することに適しているべきである。例えば、好適な実施形態において、塩化ジルコニウム(ZrCl₄)、ジ

ルコニウムプロボキシド ($Zr(iOPr)_4$) およびジルコニウムテトラメチルヘプタンジオネート ($Zr(tmh_4)_4$) が、 Zr を堆積するための前駆体であるので、 Zr が IC 表面に吸着して单分子層を生成する。

【0083】工程 154 は、酸素前駆体を調製し、IC 表面をその酸素前駆体に曝す。好ましくは、酸素前駆体は蒸気である。例えば、好適な実施形態において、 H_2O が酸素前駆体として用いられる。

【0084】工程 156 は、ドーピング金属を含むドーピング前駆体を調製する。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金属、もしくはカルシウム (Ca) またはストロンチウム (Sr) 等の二価金属である。好適な実施形態において、ドーピング前駆体は、アルミニウムドーピングの場合は、 $AlCl_3$ 、 $Al(CH_3)_3$ 、および $Al(acac)_3$ からなる群から選択される。IC 表面がドーピング前駆体に曝されるので、ドーピング金属の層または層の一部が IC 表面に吸着する。

【0085】工程 158 は、所望の誘電体材料を生成するため、必要に応じて、連続する工程、ならびに工程 152、154、および 156 の繰り返しの結果を指す。左側への矢印によって示されるように、工程 152、154、および 156 は、所望の誘電体材料を生成するために、個別に、または順序を変えて繰り返される必要があり得る。繰り返しが必要とされるのは、大部分において、ALCVD 法に関連する单分子層の堆積による。ALCVD 法の分野で周知のとおり、各前駆体は、たとえ同じ前駆体が次の層に用いられるとしても、好ましくは、連続する層ごとに取り除かれる。前駆体は、IC 表面上に单分子層の材料を生成するために、好ましくは、十分な材料でパルス状にされるべきである。

【0086】工程 160 において、堆積に引き続いて、誘電体材料がアニーリングされ、誘電体材料、およびその下の材料との界面を最終的にコンディショニングする。

【0087】工程 162 は、最終的な高誘電率膜を指す。

【0088】工程 152 および 156 を別個の工程として示したが、本発明の別の実施形態において、2 つの前駆体が同時に導入され得る。

【0089】図 6 は、ドープ金属酸化膜を形成する蒸着方法の工程を示すフローチャートである。工程 200 は、シリコン表面を有する集積回路 (IC) を提供する。工程 202 は、 Zr および Hf からなる群から選択される金属ならびにドーピング金属を含む、少なくとも 1 つのるつぼを調製する。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金

属、もしくはカルシウム (Ca) またはストロンチウム (Sr) 等の二価金属である。工程 204 は、真空 (ガスフリー) 雰囲気を確立する。工程 206 は、少なくとも 1 つのるつぼを、約 1000~2000°C の範囲のるつぼ温度に加熱し、工程 202 で調製された金属を蒸着させる。工程 208 は、工程 202~206 に応じて、 Zr および Hf からなる群から選択される金属、ならびにドーピング金属を含む合金膜を堆積する。工程 210 は、酸素を含む雰囲気において、約 400~800°C の範囲の温度でアニーリングし、 Zr および Hf からなる群から選択される金属、ドーピング金属、ならびに酸素を含む合金膜を形成する。工程 210 は、 Ar 、 N_2 、 H_2 ガス、 O_2 、 H_2O 、 N_2O 、 NO 、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立する工程を含む。工程 212 は、生成物であり、ここで、高誘電率および良好なバリア特性を有する薄膜が形成される。

【0090】本発明のいくつかの局面において、工程 202 は、 Zr および Hf からなる群から選択される金属のための第 1 のるつぼ、ならびにドーピング金属のための第 2 のるつぼを含む。次いで、工程 206 が、第 1 のるつぼを、約 1000~2000°C の範囲の温度に加熱する工程、および第 2 のるつぼを、約 1000~2000°C の範囲の温度に加熱する工程を含む。 Zr/Hf るつぼは、ドーピング金属のるつぼと同じ温度である必要はない。

【0091】本発明のいくつかの局面において、工程 210 は部分工程 (図示せず) を含む。工程 210a が、酸素を含む雰囲気において、約 400~900°C の範囲の温度でアニーリングする。工程 210b が、 Ar 、 N_2 、 H_2 ガス、 O_2 、 H_2O 、 N_2O 、 NO 、ガスなし、および酸素プラズマからなる群から選択される要素を含む雰囲気において、約 400~900°C の範囲の温度でアニーリングする。

【0092】high-k 誘電体膜が、いくつかの high-k 誘電体膜の製造方法と共に開示された。誘電体膜の電子親和力、電子バリアハイド、および正孔バリアハイドは、ドーピング金属を含むことによって、改変することが可能である。ドーピング金属は、好ましくは、アルミニウム (Al)、スカンジウム (Sc)、ランタン (La)、またはイットリウム (Y) 等の三価金属、もしくはカルシウム (Ca) またはストロンチウム (Sr) 等の二価金属である。

【0093】好適な実施形態において、high-k 誘電体膜は、比較的に高いアニーリング温度で、アモルファスのままである。膜は結晶構造を形成しないので、隣接する膜との界面は凹凸が少なくなる。ゲート誘電体として用いられる場合、膜を、ゲート電界をチャネル領域と結合するために必要なキャパシタンスを提供するため十分な膜厚にすることが可能である一方で、チャネル

領域の表面を、高電子移動度を維持するために平滑にすることが可能である。この膜は、CVD法、ALCVD法、スパッタリング法、または蒸発法によって形成される。本発明の他の変形例および実施形態が、当業者により見出される。

【0094】特定の実施形態に関して上述したが、本発明の範囲は、開示された実施形態のみに限定されない。本発明に対する適度な変更および新たな改変が、今後行われ得るが、その場合もなお、本発明の範囲内であり得る。本発明は、請求の範囲により規定される。

【0095】

【発明の効果】本発明によれば、二価または三価金属をドーピングすることにより、電子親和力、ならびにその結果として、電子バリアハイドおよび正孔バリアハイドを変更する、 $h_i g h - k$ 誘電体膜が提供される。 $h_i g h - k$ 誘電体膜は、カルシウム(Ca)またはストロンチウム(Sr)等の二価金属、もしくはアルミニウム(A1)、スカンジウム(Sc)、ランタン(La)、またはイットリウム(Y)等の三価金属でドーピングされる、ジルコニウム(Zr)またはハフニウム(Hf)のいずれかの金属酸化物である。二価または三価のドーピング金属のいずれかを選択することによって、誘電体材料の電子親和力を制御することが可能である一方で、二酸化シリコンと比べて、高誘電率の材料も提供する。*

【図2】



* 好ましくは、誘電体材料は、粒界によって引き起こされるリーコ電流を低減するために、アモルファスでもある。上述のドープ $h_i g h - k$ 誘電体膜のために、スパッタリング、CVD、原子層CVD、および蒸着法も提供される。

【図面の簡単な説明】

【図1】図1は、本発明のドープ金属酸化膜に対するスパッタリング堆積法を示すフローチャートである。

【図2】図2は、本発明を用いてトランジスタを完成する工程を示す図である。

【図3】図3は、本発明を用いてトランジスタを完成する工程を示す図である。

【図4】図4は、本発明のドープ金属酸化膜を形成するCVD法の工程を示すフローチャートである図である。

【図5】図5は、本発明のドープ金属酸化膜を形成するALCVD法の工程を示すフローチャートである図である。

【図6】図6は、ドープ金属酸化膜を形成する蒸着法の工程を示すフローチャートである。

【符号の説明】

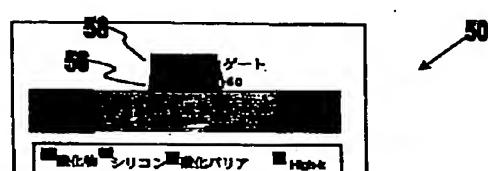
50 トランジスタ

52 チャネル領域

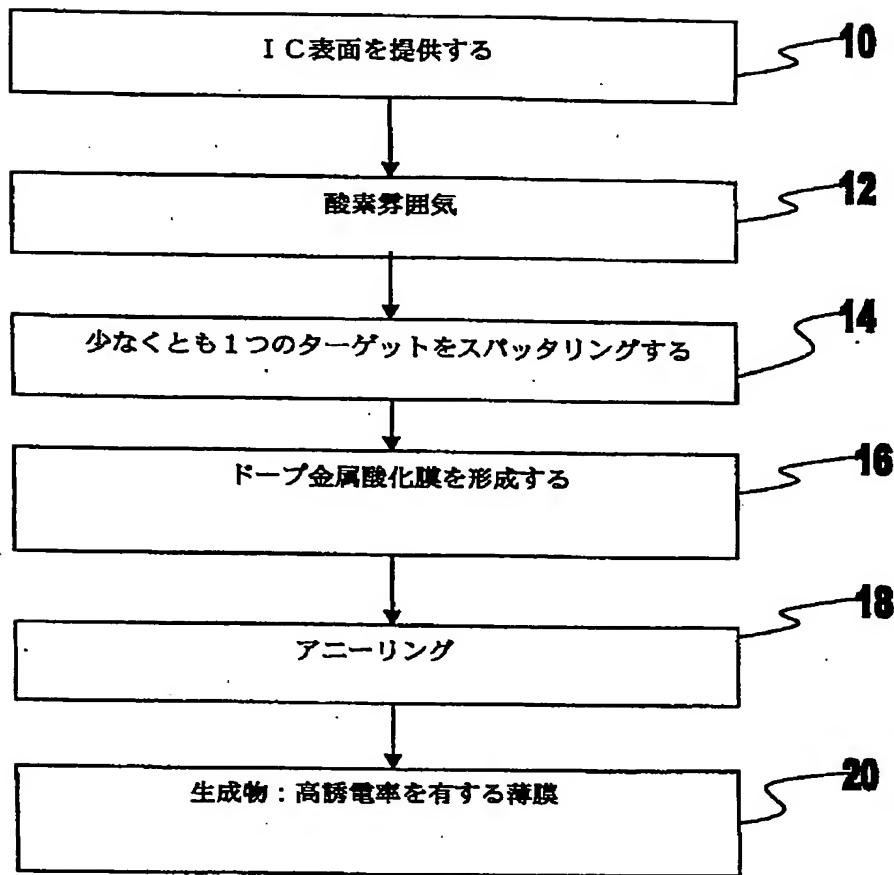
56 ゲート誘電体膜

62 界面バリア

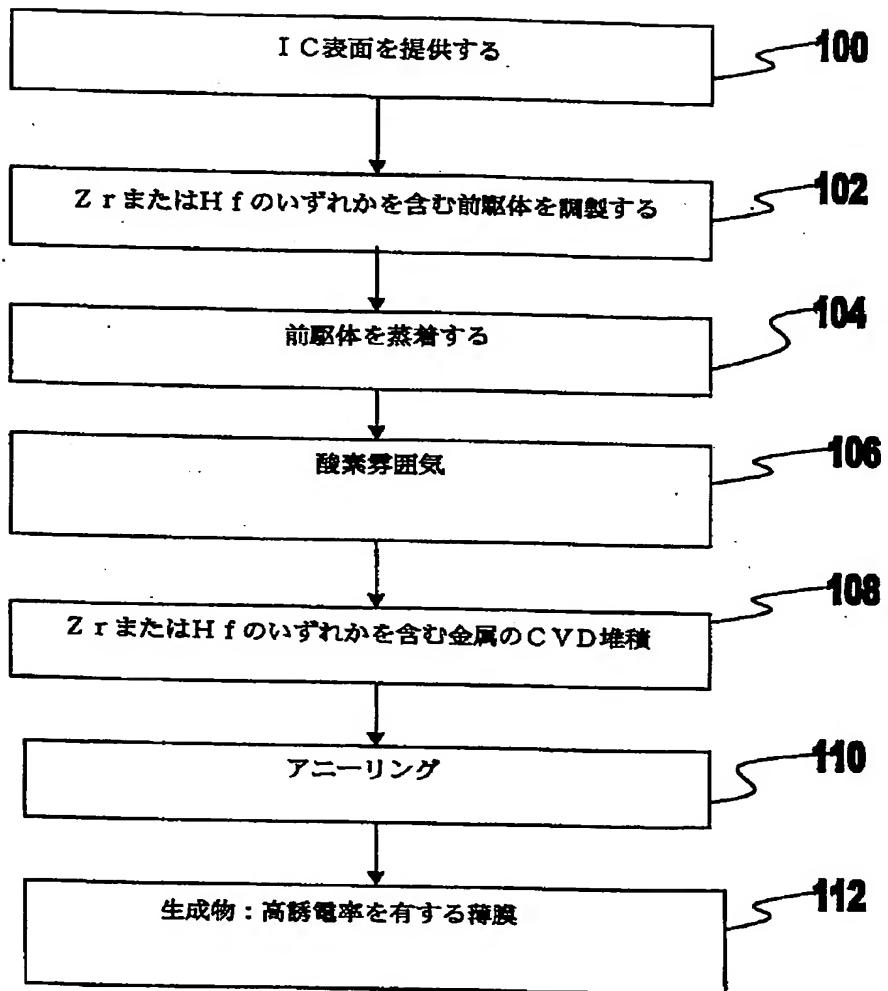
【図3】



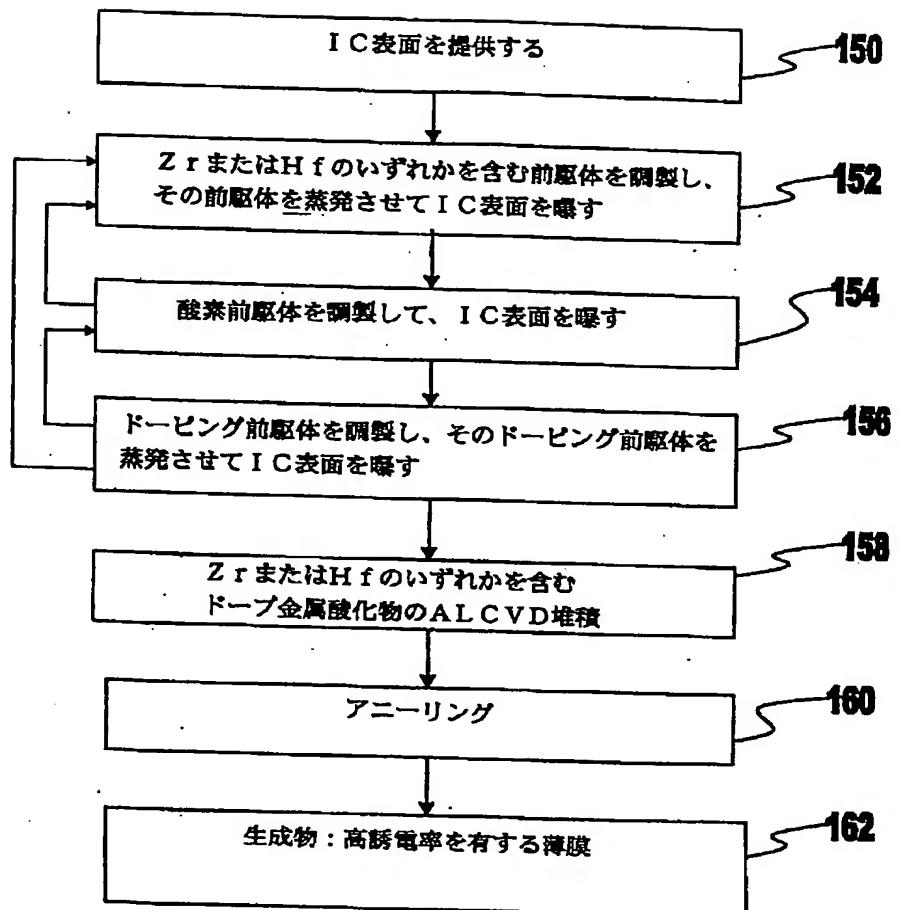
【図1】



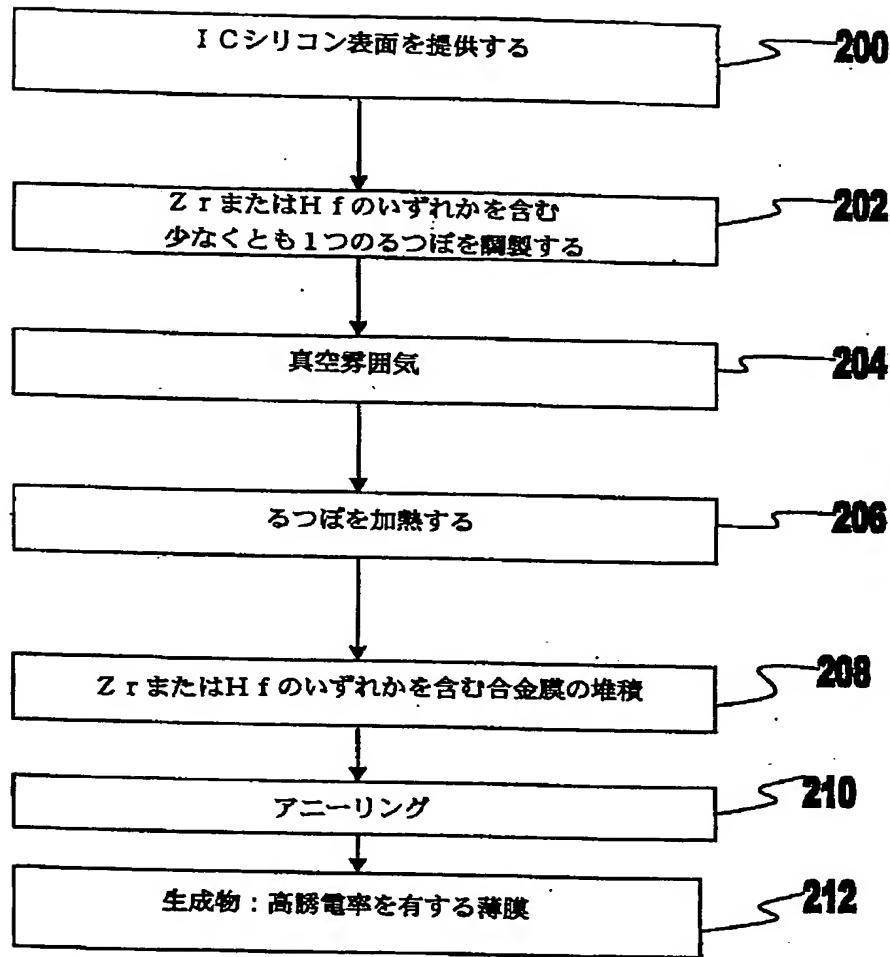
【図4】



【図5】



【図6】



フロントページの続き

(51) Int.CI.	識別記号	F I	テーマコード(参考)
C 23 C	16/56	C 23 C	5 F 101
H 01 L	21/8238	H 01 L	3 01 G 5 F 140
	21/8247	27/08	3 21 D
	27/092	29/78	3 71
	27/105	27/10	4 44 A
	29/78		
	29/788		
	29/792		

F ターム(参考) 4K029 AA06 AA24 BA50 BD01 CA06
DC16 EA03 EA08 GA01
4K030 AA01 AA03 AA11 BA10 BA22
BA42 CA04 CA12 DA09 JA09
JA10 LA15
5F048 AC03 BB04 BB11 BB12 BB13
5F058 BA11 BC03 BC04 BF02 BF12
BF17 BF24 BF32 BH02 BH03
5F083 FR05 JA02 JA05 JA19 PR12
PR21 PR22 PR23
5F101 BA62 BH02 BH03 BH16
5F140 AA19 AB03 AC01 BA01 BD01
BD07 BD09 BD11 BD13 BD17
BE07 BE09 BE10 BE17 BF04
BF05 BG01